

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

# Request Form for Translation

Translation Branch  
The world of foreign prior art to you.

Translations

U. S. Serial No. : 09/485 852

Requester's Name: Paul Brock

Phone No. : 308-6236

Fax No. : \_\_\_\_\_

Office Location: CP4-4B16

Art Unit/Org. : 2815

Group Director: \_\_\_\_\_

Is this for Board of Patent Appeals? \_\_\_\_\_

Date of Request: 9-20-01

Date Needed By: 10-10-01

(Please do not write ASAP-indicate a specific date)

## PTO 2001-4415

S.T.I.C. Translations Branch

Phone: 308-0881  
Fax: 308-0989  
Location: Crystal Plaza 3/4  
Room 2C01

SPE Signature Required for RUSH:

### Document Identification (Select One):

\*\* (Note: Please attach a complete, legible copy of the document to be translated to this form)\*\*

1. ☒ Patent Document No. 9-191131  
Language JAPANESE  
Country Code JP  
Publication Date 7-22-97  
Pages \_\_\_\_\_ (filled by STIC)

2. ☐ Article Author \_\_\_\_\_  
Language \_\_\_\_\_  
Country \_\_\_\_\_

3. ☐ Other Type of Document \_\_\_\_\_  
Country \_\_\_\_\_  
Language \_\_\_\_\_

To assist us in providing the most cost effective service, please answer these questions:

Will you accept an English Language Equivalent?  
No (Yes/No)

Will you accept an English abstract?  
No (Yes/No)

Would you like a consultation with a translator to review the document prior to having a complete written translation?  
No (Yes/No)

Check here if Machine Translation is not acceptable:  
(It is the default for Japanese Patents, '93 and onwards with avg. 5 day turnaround after receipt)

### Document Delivery (Select Preference):

☒ Delivery to Exmr. Office/Mailbox Date: 10-1-01 (STIC Only)

☐ Call for Pick-up Date: \_\_\_\_\_ (STIC Only)

### STIC USE ONLY

#### Copy/Search

Processor: \_\_\_\_\_  
Date assigned: \_\_\_\_\_  
Date filled: \_\_\_\_\_  
Equivalent found: \_\_\_\_\_ (Yes/No)

Doc. No.: \_\_\_\_\_

Country: \_\_\_\_\_

Remarks: \_\_\_\_\_

#### Translation

Date logged in: 9-21-01  
PTO estimated words: 14,200  
Number of pages: 14  
In-House Translation Available: \_\_\_\_\_  
In-House: \_\_\_\_\_ Contractor: \_\_\_\_\_  
Translator: \_\_\_\_\_ Name: SW  
Assigned: \_\_\_\_\_ Priority: \_\_\_\_\_  
Returned: \_\_\_\_\_ Sent: 9-25-01  
Returned: 10-1-01

(51) Int.Cl.<sup>6</sup>

H 0 1 L 33/00

識別記号

庁内整理番号

F I

H 0 1 L 33/00

技術表示箇所

M

N

B

31/02

31/02

審査請求 未請求 請求項の数9 OL (全4頁)

(21) 出願番号

特願平8-3611

(22) 出願日

平成8年(1996)1月12日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 吉田 幸司

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

PTO 2001-4415

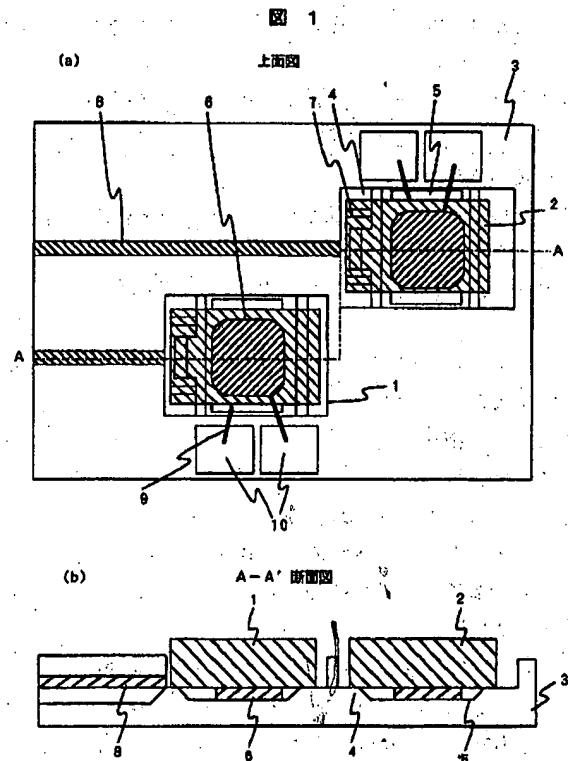
S.T.I.C. Translations Branch

(54) 【発明の名称】 光アセンブリ

(57) 【要約】

【課題】 光半導体モジュールにおける光半導体素子とマウント基板の接合する方向の固定精度の改善、及び、固定するための金属合金の受/発光面への流出阻止。

【解決手段】 光半導体素子1を搭載する光導波路8が形成されたマウント基板3上の光半導体素子を固定する位置に位置固定用段4と接合用段5を形成する。形成した位置固定用段4に光半導体素子1、2と直接接触させ、固定のための金属合金膜6は、接合用段5にのみ形成する。



## 【特許請求の範囲】

【請求項1】表面に光導波路が形成されたマウント基板と、前記マウント基板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

【請求項2】表面に光ファイバを固定するためのV溝が形成されたマウント基板と、前記V溝に固定される光ファイバと、前記マウント基板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

【請求項3】請求項1または2において、段の上面と光半導体素子に位置合わせのためのインデックスを形成した光アセンブリ。

【請求項4】前記半導体素子が光導波路構造よりなり、また発光作用を有し、その光軸高さが±3ミクロン以内で前記マウント基板上の前記光導波路の光軸高さと一致している請求項1、2または3に記載の光アセンブリ。

【請求項5】半導体素子が光導波路構造よりなり、また受光作用を有し、その光軸高さが±3ミクロン以内でマウント基板上の光導波路の光軸高さと一致している請求項1、2、3または4に記載の光アセンブリ。

【請求項6】前記発光素子に接続する前記光導波路と前記受光素子に接続する前記光導波路が光学的に結合する請求項1、2、3、4または5に記載の光アセンブリ。

【請求項7】搭載した前記光半導体素子の搭載された溝が蓋により覆われた請求項1、2、3、4、5または6に記載の光アセンブリ。

【請求項8】搭載した前記光半導体素子の搭載された溝の内、前記光導波路経路が樹脂により埋めこまれた請求項1、2、3、4、5、6または7に記載の光アセンブリ。

【請求項9】請求項1、2、3、4、5、6、7または8に記載の光アセンブリを用いた光伝送モジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は光加入者システム、光インタコネクトシステム等に適用する低コスト光モジュール、光アセンブリに関する。

## 【0002】

【従来の技術】従来の技術は、回路実装学会誌Vol. 10 No. 5(1995)において伊藤らの報告がある。光半導体モジュールは、光通信システムを構成する基本

2

デバイスであり、これらは、発光素子であるレーザダイオード(LD)、受光素子であるフォトダイオードと光ファイバ、あるいは光導波路、これらを光学的に結合させるレンズ、及びこれらを固定し実装する基板から構成される。この中で、光半導体素子とマウント基板を固定する場合には、マウント基板上に電極パターンを形成し、かつ光半導体素子の裏面にも金属膜による電極パターンを形成し固着する。

【0003】光半導体素子を光導波路または光ファイバに低損失に光結合させる場合、光軸に対して1μm以下の位置合わせの精度が必要となる。マウント基板に対して平行な方向に対しては、合わせマークをマウント基板及び光半導体素子に形成し、近赤外光を透過させ、同時に合わせマークを観察し、位置合わせを行う方法やソルダの表面張力を利用したセルフアライメント等の方法が低コスト実装方法として提案されている。マウント基板に対して垂直な方向に対しては、基板側にスタンドオフ、半導体素子側にノッチを設けてそれらを接触させて高さ方向の位置合わせを行う方法が提案されている。

## 【0004】

【発明が解決しようとする課題】本発明の目的は、マウント基板に垂直な方向、すなわち、半導体素子とマウント基板を接合する方向の固定精度の改善と固定のための金属合金の半導体素子の受/発光面への流出を防ぐ光アセンブリ構造を提案することにある。

## 【0005】

【課題を解決するための手段】上記目的を達成するために、光半導体素子を搭載するマウント基板上の光半導体素子を固定する位置に段差構造を形成した。その段差構造の上段に光半導体素子を直接接触させ、固定のための金属膜は、段差構造の下段にのみ接合させる。このように、固定位置を決定するための段と接合するための段とを分けて形成することにより、光半導体素子の固定精度を向上させることが可能となる。また、段があるために、溶融し段に広がった金属合金が光半導体素子端面に流出することを防ぐことも可能となる。

## 【0006】

## 【発明の実施の形態】

(実施例1) 本発明の実施例を図1に示す。この実施例の製造方法は、まず、エッチングによりシリコン基板3にテラス4を形成し、火炎堆積法により下部クラッド層を形成する。次に堆積したクラッド膜をテラスの高さまで研磨した後、コア層を堆積し、ドライエッチングでパターン形成を行い、段差構造の凹部5、導波路8、合わせマーク7を形成する。上部クラッド層を再び火炎堆積法によって形成した後、ドライエッチングでSiテラス部を露出させる。シリコンと石英のエッチングレートの差により、エッチングは半導体素子が接触するシリコン表面で停止する。一方凹部の深さ(2μm〜8μm)は、エッチングレートが毎分0.1〜1μm程度に制御

できるため、時間管理で再現性よく制御することが可能である。次に、電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パタニングする。固定のための金属合金膜6 (AuSn薄膜) は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ(3 $\mu$ m $\sim$ 9 $\mu$ m)で形成する。

【0007】光半導体素子1は、赤外光透過法により半導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子1を位置固定用の段4に固定する。光半導体素子とマウント基板の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子の接触面で決定される。また、固定のための金属合金膜6は、接合用の段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。次に、同様な方法で半導体素子2を素子搭載部に固着する。さらに、それぞれの半導体素子を金ワイヤ9で接続し、電気的接続をとり、実施例1を完成する。

【0008】(実施例2) 次に、図2を用いて他の実施例を説明する。この実施例の製造方法は、先ずシリコンの異方性エッチングにより側壁が(111)面となるV溝11を形成する。次にパターン形成を行い、段差構造の凹部5、合わせマーク7を形成する。凹部の深さ(2 $\mu$ m $\sim$ 8 $\mu$ m)は、エッチングレートが毎分0.1 $\sim$ 1 $\mu$ m程度に制御できるため、時間管理で再現性よく制御することが可能である。次に、電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パタニングする。固定のための金属合金膜6 (AuSn薄膜) は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ(3 $\mu$ m $\sim$ 9 $\mu$ m)で形成する。

【0009】光半導体素子1は、赤外光透過法により半 \*

\* 半導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子を位置固定用の段4に固定する。光半導体素子1とマウント基板3の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子1の接触面で決定される。また、固定のための金属合金膜6は、接合用の段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。さらに、光半導体素子1を金ワイヤ9で接続し、電気的接続をとる。最後に光ファイバ11を接着剤で固定し実施例2を完成する。

#### 【0010】

【発明の効果】本発明により、光半導体素子の搭載位置精度が0.2 $\mu$ m以下に抑えられる。特に、固定位置を決める上段の高さは、光導波路のコア層と一致しているため、結果として光半導体素子と光導波路又は光ファイバの結合損失のばらつきを0.2dB以下にすることができる。また、ソルダの光半導体素子端面への流出も防ぐことができることから、結果として歩留りを向上させることができ、デバイスの低価格化に対しても大きな効果を発揮することができる。

#### 【図面の簡単な説明】

【図1】本発明の第一の実施例の光アセンブリの平面図および断面図。

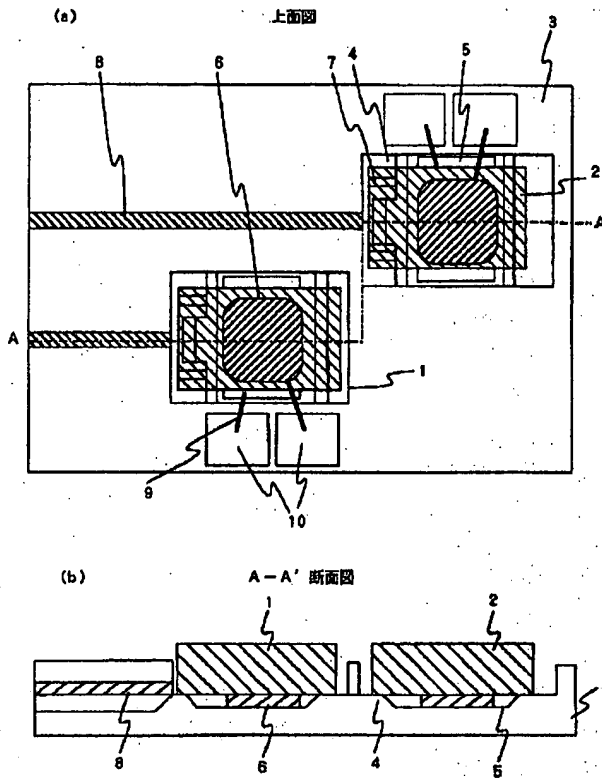
【図2】本発明の第二の実施例の光アセンブリの平面図および断面図。

#### 【符号の説明】

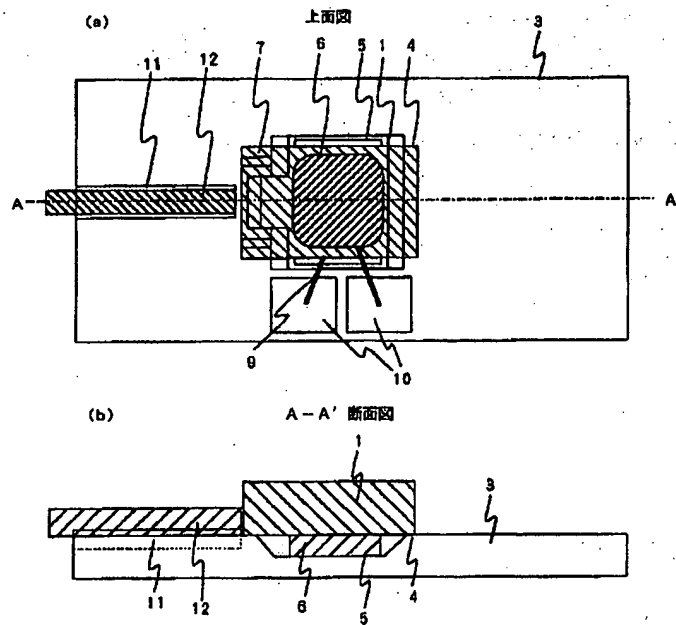
1…光半導体素子、2…光半導体素子、3…マウント基板、4…位置固定用段、5…接合用段、6…金属合金膜、7…位置合わせ用合わせマーク、8…光導波路、9…金ワイヤ、10…電極、11…V溝、12…光ファイバ。

【図1】

図 1



【図2】



**MACHINE-ASSISTED TRANSLATION (MAT):**

<b>(19)【発行国】</b> 日本国特許庁 (J P)	<b>(19)[ISSUING COUNTRY]</b> Japanese Patent Office (JP)
<b>(12)【公報種別】</b> 公開特許公報 (A)	<b>(11)[UNEXAMINED PATENT NUMBER]</b> Unexamined Japanese patent No. 9-191131
<b>(43)【公開日】</b> 平成 9 年 ( 1 9 9 7 ) 7 月 2 2 日	<b>(43)[DATE OF FIRST PUBLICATION]</b> Heisei 9 (1997) July 22
<b>(54)【発明の名称】</b> 光アセンブリ	<b>(54)[TITLE]</b> Optical assembly
<b>(51)【国際特許分類第 6 版】</b> H01L 33/00  31/02	<b>(51)[IPC]</b> H01L 33/00 31/02
<b>【F I】</b> H01L 33/00                      M  31/02                              N B	<b>[FI]</b> H01L 33/00                      M N31/02                              B
<b>【審査請求】</b> 未請求	<b>[EXAMINATION REQUEST]</b> UNREQUESTED
<b>【請求項の数】</b> 9	<b>[NUMBER OF CLAIMS]</b> 9
<b>【出願形態】</b> O L	<b>[Application form]</b> O L
<b>【全页数】</b> 4	<b>[NUMBER OF PAGES]</b> 4
<b>(21)【出願番号】</b> 特願平 8 - 3 6 1 1	<b>(21)[APPLICATION NUMBER]</b> Japanese Patent Application No. 8-3611
<b>(22)【出願日】</b>	<b>(22)[DATE OF FILING]</b> January 12th, Heisei 8 (1996)

平成8年(1996)1月12  
日

(71)【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】  
000005108

[ID CODE]  
000005108

【氏名又は名称】  
株式会社日立製作所

Hitachi, Ltd.

【住所又は居所】  
東京都千代田区神田駿河台四丁  
目6番地

[ADDRESS]

(72)【発明者】

(72)[INVENTOR]

【氏名】 吉田 幸司

YOSHIDA KOJI

【住所又は居所】  
東京都国分寺市東恋ヶ窪1丁目  
280番地 株式会社日立製作  
所中央研究所内

[ADDRESS]

(74)【代理人】

(74)[PATENT AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】 小川 勝男 OGAWA MASAO

(57)【要約】

(57)[SUMMARY]

【課題】  
光半導体モジュールにおける光  
半導体素子とマウント基板の接  
合する方向の固定精度の改善、  
及び、固定するための金属合金  
の受／発光面への流出阻止。

[SUBJECT]  
Improvement of the fixed accuracy of the  
direction which the optical semiconductor  
element and the mount substrate in an optical  
semiconductor module join, and outflow  
blocking to the light receiving / emitting surface  
of the metal alloy for fixing.



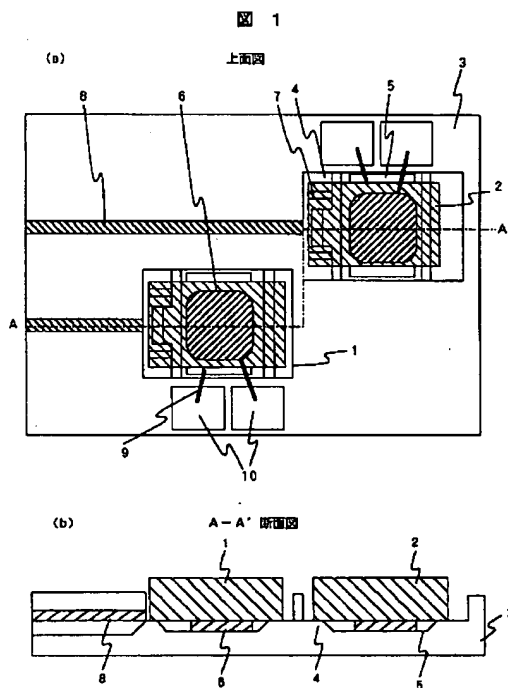
**DERWENT**  
  
**THOMSON SCIENTIFIC**

光半導体素子 1 を搭載する光導波路 8 が形成されたマウント基板 3 上の光半導体素子を固定する位置に位置固定用段 4 と接合用段 5 を形成する。形成した位置固定用段 4 に光半導体素子 1, 2 と直接接触させ、固定のための金属合金膜 6 は、接合用段 5 にのみ形成する。

The stage for position fixation 4 and the stage for joining 5 are formed on the position which fixes the optical semiconductor element on the mount substrate 3 on which the optical waveguide 8 which mounts an optical semiconductor element 1 was formed.

The formed stage for position fixation 4 is made to contact optical semiconductor elements 1 and 2 and directly.

The metal alloy film 6 for fixation is formed only on the stage for joining 5.



(a): Top view

(b): cross section

## [CLAIMS]

**[CLAIM 1]**

表面に光導波路が形成されたマウント基板と、前記マウント基

It has at least one optical semiconductor element mounted on the mount substrate by which the optical waveguide was formed on the

板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

**【請求項 2】**

表面に光ファイバを固定するためのV溝が形成されたマウント基板と、前記V溝に固定される光ファイバと、前記マウント基板上に搭載された少なくとも一つの光半導体素子と他の半導体素子を有し、前記光半導体素子に設けられた電極パターンと前記マウント基板に設けられた電極パターンとを金属合金を介して固定してなる光半導体装置において、前記マウント基板上の前記光半導体素子を固定する位置に段差構造を形成したことを特徴とする光アセンブリ。

**【請求項 3】**

請求項 1 または 2 において、段の上面と光半導体素子に位置合わせのためのインデックスを形成した光アセンブリ。

**【請求項 4】**

前記半導体素子が光導波路構造よりなり、また発光作用を有し、その光軸高さが±3ミクロン以内で前記マウント基板上の前記

surface, the above mentioned mount substrate, and the other semiconductor element.

The optical semiconductor device which fixes the electrode pattern provided to the above mentioned optical semiconductor element, and the electrode pattern provided to the above mentioned mount substrate via a metal alloy. In the above mentioned light semiconductor device, the step structure was formed on the position which fixes the above mentioned optical semiconductor element on an above mentioned mount substrate.

Optical assembly characterized by the above mentioned.

**[CLAIM 2]**

It has the mount substrate on which the V groove for fixing an optical fibre to the surface was formed, the optical fibre fixed to an above mentioned V groove, at least one optical semiconductor element mounted on the above mentioned mount substrate, and the other semiconductor element.

In the optical semiconductor device which fixes the electrode pattern provided to the above mentioned optical semiconductor element, and the electrode pattern provided to the above mentioned mount substrate via a metal alloy, the step structure was formed on the position which fixes the above mentioned optical semiconductor element on an above mentioned mount substrate.

Optical assembly characterized by the above mentioned.

**[CLAIM 3]**

Optical assembly which formed the index for alignment on the upper face of the stage, and the optical semiconductor element in Claims 1 or 2.

**[CLAIM 4]**

An above mentioned semiconductor element consists of the optical waveguide structure.

Moreover, it has a photogenesis.

Optical assembly described in Claims 1, 2, or

光導波路の光軸高さと一致している請求項 1, 2 または 3 に記載の光アセンブリ。

**【請求項 5】**

半導体素子が光導波路構造よりなり、また受光作用を有し、その光軸高さが±3ミクロン以内でマウント基板上の光導波路の光軸高さと一致している請求項 1, 2, 3 または 4 に記載の光アセンブリ。

**【請求項 6】**

前記発光素子に接続する前記光導波路と前記受光素子に接続する前記光導波路が光学的に結合する請求項 1, 2, 3, 4 または 5 に記載の光アセンブリ。

**【請求項 7】**

搭載した前記光半導体素子の搭載された溝が蓋により覆われた請求項 1, 2, 3, 4, 5 または 6 に記載の光アセンブリ。

**【請求項 8】**

搭載した前記光半導体素子の搭載された溝の内、前記光導波路経路が樹脂により埋めこまれた請求項 1, 2, 3, 4, 5, 6 または 7 に記載の光アセンブリ。

**【請求項 9】**

請求項 1, 2, 3, 4, 5, 6, 7 または 8 に記載の光アセンブリを用いた光伝送モジュール。

**【発明の詳細な説明】**

3 whose optical axis height of that conforms with the optical axis height of the above mentioned optical waveguide on an above mentioned mount substrate by within (+/-)3 microns.

**[CLAIM 5]**

A semiconductor element consists of the optical waveguide structure.

Moreover, it has a light receiving effect.

Claim 1,2,3 whose optical axis height of that conforms with the optical axis height of the optical waveguide on a mount substrate by within (+/-)3 microns, or optical assembly described in 4.

**[CLAIM 6]**

Claim 1,2,3 which the above mentioned optical waveguide linked to an above mentioned light emitting element and the above mentioned optical waveguide linked to an above mentioned light receiving element combine optically, optical assembly described in 4 or 5.

**[CLAIM 7]**

Claim 1,2,3 with which the groove in which the mounted above mentioned optical semiconductor element was mounted was covered with the lid, optical assembly described in 4, 5, or 6.

**[CLAIM 8]**

Claim 1,2,3 with which the above mentioned optical waveguide route buried with resin, and was jammed in the grooves in which the mounted above mentioned optical semiconductor element was mounted, optical assembly described in 4, 5, 6, or 7.

**[CLAIM 9]**

The light transmitting module using Claim 1,2,3,4,5,6,7, or the optical assembly described in 8.

**[DETAILED DESCRIPTION OF INVENTION]**

【0001】

## 【発明の属する技術分野】

本発明は光加入者システム、光インタコネクトシステム等に適用する低コスト光モジュール、光アセンブリに関する。

【0002】

## 【従来の技術】

従来の技術は、回路実装学会誌 Vol.10 No.5(1995)において伊藤らの報告がある。光半導体モジュールは、光通信システムを構成する基本デバイスであり、これらは、発光素子であるレーザダイオード(LD)、受光素子であるフォトダイオードと光ファイバ、あるいは光導波路、これらを光学的に結合させるレンズ、及びこれらを固定し実装する基板から構成される。この中で、光半導体素子とマウント基板を固定する場合には、マウント基板上に電極パターンを形成し、かつ光半導体素子の裏面にも金属膜による電極パターンを形成し固着する。

【0003】

光半導体素子を光導波路または光ファイバに低損失に光結合させる場合、光軸に対して $1\mu\text{m}$ 以下の位置合わせの精度が必要となる。マウント基板に対して平行な方向に対しては、合わせマークをマウント基板及び光半導体素子に形成し、近赤外光を

[0001]

## [TECHNICAL FIELD]

This invention relates to the inexpensive optical module applied to an optical subscriber system, an optical inter connect system, etc., and the optical assembly.

[0002]

## [PRIOR ART]

A PRIOR ART is circuit mounting congress report Vol.10. There is Ito's et al. report in No.5 (1995).

An optical semiconductor module is a basic device which comprises an optical communication system.

These consist of the laser diode (LD) which is a light emitting element, the photodiode which is a light receiving element, an optical fibre or an optical waveguide, the lens which makes these combine optically, and the substrate which fixes and mounts these.

In fixing an optical semiconductor element and a mount substrate, in this, an electrode pattern is formed on a mount substrate, and the electrode pattern due to a metal film is formed also at the back side of an optical semiconductor element, and it fixes.

[0003]

When a low loss performs the optical coupling of the optical semiconductor element to an optical waveguide or an optical fibre, the accuracy of alignment 1 micrometer or less is needed to an optical axis.

To an parallel direction, an alignment mark is formed on a mount substrate and an optical semiconductor element to a mount substrate, and a near-infrared light is made to permeate.

It joins simultaneously, a mark is observed

透過させ、同時に合わせマークを観察し、位置合わせを行う方法や溶ダの表面張力を利用したセルフアライメント等の方法が低コスト実装方法として提案されている。マウント基板に対して垂直な方向に対しては、基板側にスタンドオフ、半導体素子側にノッチを設けてそれらを接触させて高さ方向の位置合わせを行う方法が提案されている。

【0004】

【発明が解決しようとする課題】

本発明の目的は、マウント基板に垂直な方向、すなわち、半導体素子とマウント基板を接合する方向の固定精度の改善と固定のための金属合金の半導体素子の受／発光面への流出を防ぐ光アセンブリ構造を提案することにある。

【0005】

【課題を解決するための手段】

上記目的を達成するために、光半導体素子を搭載するマウント基板上の光半導体素子を固定する位置に段差構造を形成した。その段差構造の上段に光半導体素子を直接接触させ、固定のための金属膜は、段差構造の下段にのみ接合させる。このように、固定位置を決定するための段と接合するための段とを分けて形成することにより、光半導体素

and method such as the self-alignment using the surface tension of the method and the solder which perform alignment, is proposed as the inexpensive mounting method.

The method of providing a stand-off to a substrate side to a vertical direction to a mount substrate, providing a notch to a semiconductor element side, making them contact, and performing the alignment of the height direction is proposed.

[0004]

[PROBLEM ADDRESSED]

The objective of this invention is that the optical assembly structure which prevents improvement of the fixed accuracy of a direction vertical to a mount substrate, i.e., direction which joins a semiconductor element and a mount substrate, and the flow out to the light receiving / emitting surface of the semiconductor element of the metal alloy for fixation is proposed.

[0005]

[SOLUTION OF THE INVENTION]

In order to attain the above objective, the step structure was formed on the position which fixes the optical semiconductor element on the mount substrate in which an optical semiconductor element is mounted.

The upper stage of that step structure is made to contact an optical semiconductor element directly.

Only the lower stage of the step structure is made to join the metal film for fixation.

Thus, the fixed accuracy of an optical semiconductor element can be improved by dividing and forming the stage for determining a

子の固定精度を向上させることが可能となる。また、段があるために、熔融し段に広がった金属合金が光半導体素子端面に流出することを防ぐことも可能となる。

【0006】

**【発明の実施の形態】**

(実施例1) 本発明の実施例を図1に示す。この実施例の製造方法は、先ず、エッチングによりシリコン基板3にテラス4を形成し、火炎堆積法により下部クラッド層を形成する。次に堆積したクラッド膜をテラスの高さまで研磨した後、コア層を堆積し、ドライエッチングでパターン形成を行い、段差構造の凹部5、導波路8、合わせマーク7を形成する。上部クラッド層を再び火炎堆積法によって形成した後、ドライエッチングでSiテラス部を露出させる。シリコンと石英のエッチングレートの違いにより、エッチングは半導体素子が接触するシリコン表面で停止する。一方凹部の深さ(2  $\mu\text{m}$  ~ 8  $\mu\text{m}$ )は、エッチングレートが毎分0.1 ~ 1  $\mu\text{m}$ 程度に制御できるため、時間管理で再現性よく制御することが可能である。次に、電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パターニングする。固定のための金属合金膜6 (AuSn薄膜)は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ(3  $\mu\text{m}$  ~

solid normal position, and the stage for joining.

Moreover, since there is a stage, it can also prevent that the metal alloy which melted and extended in the stage flows into an optical semiconductor element end face.

[0006]

**[Embodiment]**

(Example 1) The example of this invention is shown in Fig. 1.

The manufacturing method of this example forms a terrace 4 on a silicon substrate 3 by the etching first.

A lower part clad layer is formed by the flame deposition method.

Next, a core layer is deposited after polishing the clad film which deposited, to the height of a terrace.

A pattern formation is performed by the dry etching.

The recess 5 of the step structure, the waveguide 8, and the alignment mark 7 are formed.

After forming an upper part clad layer by the flame deposition method again, Si terrace section is exposed by the dry etching.

According to the difference of the etching rate of silicon and quartz, an etching is stopped on the silicon surface which a semiconductor element contacts.

On the other hand, since an etching rate can control the depth (2 micrometers ~ 8 micrometers) of a recess to about per minute 0.1 ~ 1 micrometer, it can be controlled by time management with good reproducibility.

Next, the electrode 10 which consists of titanium, platinum, and gold by the electron beam vapor deposition method is formed.

A patterning is performed.

On an optical semiconductor element electrode, by the vapor deposition method, if the metal alloy film 6 (AuSn thin film) for fixation is larger than the volume of the lower stage, it

9  $\mu$ m)で形成する。

#### 【0007】

光半導体素子1は、赤外光透過法により半導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子1を位置固定用の段4に固定する。光半導体素子とマウント基板の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子の接触面で決定される。また、固定のための金属合金膜6は、接合用の段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。次に、同様な方法で半導体素子2を素子搭載部に固着する。さらに、それぞれの半導体素子を金ワイヤ9で接続し、電気的接続をとり、実施例1を完成する。

#### 【0008】

(実施例2) 次に、図2を用いて他の実施例を説明する。この実施例の製造方法は、先ずシリコンの異方性エッチングにより側壁が(111)面となるV溝11を形成する。次にパターン形成を行い、段差構造の凹部5、合わせマーク7を形成する。凹部の深さ(2  $\mu$ m~8  $\mu$ m)は、エッチングレートが毎分0.1~1  $\mu$ m程度に制御できるため、時間管理で再現性よく制御することが可能である。次に、

will be formed by the thickness (3 micrometers ~ 9 micrometers) which is not.

#### [0007]

An optical semiconductor element 1 observes simultaneously the alignment mark 7 formed on the semiconductor element and the substrate with the infrared light transmission method with an infrared rays camera. It heats, adding a load, after performing the alignment of the direction of a flat surface.

An optical semiconductor element 1 is fixed to the stage 4 for position fixation.

The position of a direction vertical to the substrate of an optical semiconductor element and a mount substrate is determined by the stage 4 for position fixation, and the contact surface of an optical semiconductor element.

Moreover, since the metal alloy film 6 for fixation has the stage 5 for joining, it stops at that inside.

The effusion to an optical semiconductor element end face is prevented.

Next, a semiconductor element 2 is fixed among an element mounting section by the similar method.

Furthermore, each semiconductor element is connected with the gold wire 9.

Electric connection is taken.

An example 1 is perfected.

#### [0008]

(Example 2) Next, the other example is explained using Fig. 2.

The manufacturing method of this example forms V groove 11 from which a side wall is a surface (111) by the anisotropic etching of silicon first.

Next, a pattern formation is performed and the recess 5 of the step structure and the alignment mark 7 are formed.

Since an etching rate can control the depth (2 micrometers ~ 8 micrometers) of a recess to about per minute 0.1~1 micrometer, it can be controlled by time management with good reproducibility.

Next, the electrode 10 which consists of

電子ビーム蒸着法によりチタン、白金、金からなる電極10を形成し、パタニングする。固定のための金属合金膜6 (AuSn薄膜) は、光半導体素子電極上に蒸着法により下部の段の容積より大きくならないような厚さ ( $3\mu\text{m} \sim 9\mu\text{m}$ ) で形成する。

**【0009】**

光半導体素子1は、赤外光透過法により半導体素子と基板に形成した合わせマーク7を赤外線カメラによって同時に観測し平面方向の位置合わせを行った後、加重を加えつつ加熱し、光半導体素子を位置固定用の段4に固定する。光半導体素子1とマウント基板3の基板に垂直な方向の位置は、位置固定用の段4と光半導体素子1の接触面で決定される。また、固定のための金属合金膜6は、接合用段5があるため、その内に留まり、光半導体素子端面への流出は防がれる。さらに、光半導体素子1を金ワイヤ9で接続し、電気的接続をとる。最後に光ファイバ11を接着剤で固定し実施例2を完成する。

**【0010】****【発明の効果】**

本発明により、光半導体素子の搭載位置精度が $0.2\mu\text{m}$ 以下に抑えられる。特に、固定位置を決める上段の高さは、光導波路のコア層と一致しているた

titanium, platinum, and gold by the electron beam vapor deposition method is formed.

A patterning is performed.

On an optical semiconductor element electrode, by the vapor deposition method, if the metal alloy film 6 (AuSn thin film) for fixation is larger than the volume of the lower stage, it will be formed by the thickness ( $3\text{ micrometers} \sim 9\text{ micrometers}$ ) which is not.

**[0009]**

An optical semiconductor element 1 observes simultaneously the alignment mark 7 formed on the semiconductor element and the substrate with the infrared light transmission method with an infrared rays camera. It heats, adding a load, after performing the alignment of the direction of a flat surface.

An optical semiconductor element is fixed to the stage 4 for position fixation.

The position of a direction vertical to the substrate of an optical semiconductor element 1 and the mount substrate 3 is determined by the stage 4 for position fixation, and the contact surface of an optical semiconductor element 1.

Moreover, since the metal alloy film 6 for fixation has the stage for joining 5, it stops at that inside.

The effusion to an optical semiconductor element end face is prevented.

Furthermore, an optical semiconductor element 1 is connected with the gold wire 9.

Electric connection is taken.

Finally, an optical fibre 11 is fixed with an adhesive agent, and an example 2 is perfected.

**[0010]****[EFFECT OF THE INVENTION]**

The landing site accuracy of an optical semiconductor element is suppressed by this invention below at  $0.2\text{ micrometre}$ .

Since especially the height of the upper stage which determines a solid normal position is in accord with the core layer of an optical



め、結果として光半導体素子と光導波路又は光ファイバの結合損失のばらつきを 0.2 dB 以下にすることができる。また、ソルダの光半導体素子端面への流出も防ぐことができることから、結果として歩留りを向上させることができ、デバイスの低価格化に対しても大きな効果を発揮することができる。

**【図面の簡単な説明】**

**【図 1】**

本発明の第一の実施例の光アセンブリの平面図および断面図。

**【図 2】**

本発明の第二の実施例の光アセンブリの平面図および断面図。

**【符号の説明】**

1…光半導体素子、2…光半導体素子、3…マウント基板、4…位置固定用段、5…接合用段、6…金属合金膜、7…位置合わせ用合わせマーク、8…光導波路、9…金ワイヤ、10…電極、11…V溝、12…光ファイバ。

**【図 1】**

waveguide, it can set to 0.2dB or less as a result variation in an optical semiconductor element, an optical waveguide, or the combination loss of an optical fibre.

Moreover, since the effusion to the optical semiconductor element end face of a solder can also be prevented, the yield can be improved as a result.

A large effect can be exhibited also to the lowering of cost of a device.

**[BRIEF EXPLANATION OF DRAWINGS]**

**[FIGURE 1]**

The top view and the sectional view of the optical assembly of a first example.

**[FIGURE 2]**

The top view and the sectional view of the optical assembly of a second example.

**[EXPLANATION OF DRAWING]**

1... optical semiconductor element, 2... optical semiconductor element, 3... mount substrate, 4. Stage for position fixation, 5. Stage for joining, 6... metal alloy film, 7. Alignment mark for alignment, 8... optical waveguide, 9... gold wire, 10... electrode, 11... V groove, 12... optical fibre.

**[FIGURE 1]**

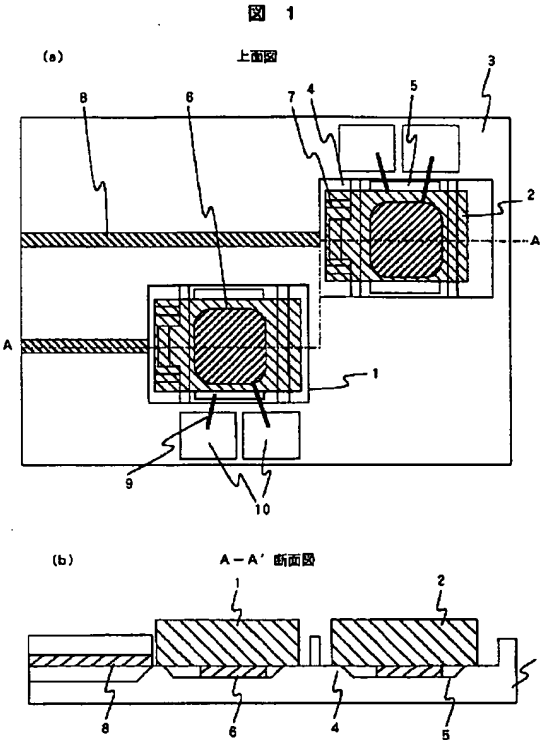


Figure 1  
(a): Top View  
(b): Cross section

【图 2】

[FIGURE 2]

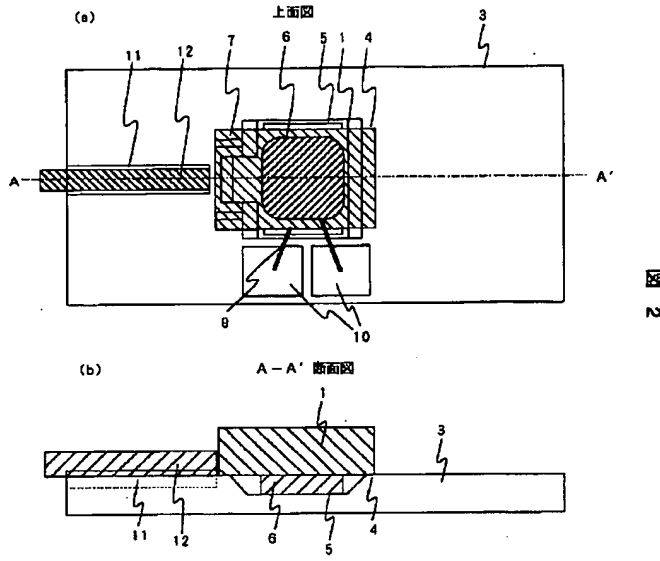


Figure 2  
(a): Top view  
(b): Cross section

## **DERWENT TERMS AND CONDITIONS**

*Derwent shall not in any circumstances be liable or responsible for the completeness or accuracy of any Derwent translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.*

Derwent Information Ltd. is part of The Thomson Corporation

Please visit our home page:

["WWW.DERWENT.CO.UK"](http://WWW.DERWENT.CO.UK) (English)

["WWW.DERWENT.CO.JP"](http://WWW.DERWENT.CO.JP) (Japanese)